

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tomohiro TANAKA, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE HAVING MIM CAPACITOR
ELEMENT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

COUNTRY
Japan

APPLICATION NUMBER
2003-053166

MONTH/DAY/YEAR
February 28, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



22850

Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月28日

出 願 番 号

Application Number:

特願2003-053166

[ST.10/C]:

[JP2003-053166]

出 願 人

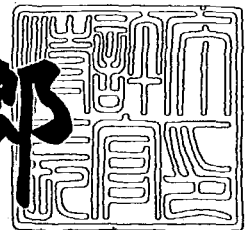
Applicant(s):

三菱電機株式会社

2003年 3月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3019455

【書類名】 特許願

【整理番号】 541841JP01

【提出日】 平成15年 2月28日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/04

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 田中 知浩

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 村田 直文

【発明者】

 【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

 【氏名】 小山 徹

【特許出願人】

 【識別番号】 000006013

 【氏名又は名称】 三菱電機株式会社

【代理人】

 【識別番号】 100089233

 【弁理士】

 【氏名又は名称】 吉田 茂明

【選任した代理人】

 【識別番号】 100088672

 【弁理士】

 【氏名又は名称】 吉竹 英俊

【選任した代理人】

【識別番号】 100088845

【弁理士】

【氏名又は名称】 有田 貴弘

【手数料の表示】

【予納台帳番号】 012852

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 (a) 半導体基板上に所定の金属膜、誘電体層を含む反射防止膜を順次堆積し

てパターンニングすることで、上面に前記反射防止膜を有する下部電極を形成する工程と、

(b) 前記下部電極上に層間絶縁膜を形成し、前記層間絶縁膜の前記下部電極上における容量素子形成領域およびコンタクト形成領域のそれぞれに第1および第2の開口を形成する工程と、

(c) 前記第2の開口内の前記反射防止膜を除去する工程と、

(d) 前記第1および第2の開口を有する前記層間絶縁膜上に所定の第1の金属膜を堆積し、前記第1および第2の開口内以外の前記第1の金属膜を除去することで、前記第1の開口内に前記容量素子の上部電極を、前記第2の開口内にコンタクトを、それぞれ形成する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項2】 請求項1に記載の半導体装置の製造方法であって、

(e) 前記工程(d)よりも後に行われ、前記層間絶縁膜上に所定の第2の金属膜を堆積してパターンニングすることで、前記コンタクトおよび前記上部電極の個々に接続する配線を形成する工程をさらに備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置製造に関するものであり、特に、MIM (Metal Insulator Metal) 容量素子の製法に関するものである。

【0002】

【従来の技術】

従来、半導体装置における容量素子としては、上部電極および下部電極をポリ

シリコンで形成したものが使用されていた。そのような容量素子を有する半導体装置の製造工程においては、当該容量素子の上部電極は、トランジスタのゲート電極と同じ層のポリシリコンによって形成される。しかし近年、トランジスタのゲート電極形成の際、ゲート電極を形成するポリシリコンにイオン注入を行うことが多い。そのため、容量素子の上部電極も、イオン注入が行われたポリシリコンで形成されることとなる。その結果、上部電極のポリシリコンにおいて空乏化が生じ、容量素子の容量値が、印加電圧や温度に依存して変化してしまう。それにより、半導体装置が誤動作するという問題が生じる。

【0003】

このような問題を解消するために、近年、電極に金属を用いるMIM (Metal Insulator Metal) 構造の容量素子が使用されている（例えば、特許文献1）。しかし、従来のMIM容量素子は、上部電極と下部電極との間で高さの違いがあるため、MIM容量素子形成後、上部電極および下部電極それぞれの上にコンタクトホールを形成するのが困難である。

【0004】

また、単一の絶縁膜層内にMIM容量素子を作り込む技術もある（例えば、特許文献2）。特許文献2に係るMIM容量素子によれば、上部電極と下部電極との間で高さは同じになる。

【0005】

【特許文献1】

特開平1-198061号公報（第2頁、第1図）

【特許文献2】

特開2002-100680号公報（第4-5頁、第3-5図）

【0006】

【発明が解決しようとする課題】

しかし上記特許文献2に係るMIM容量素子の形成工程においては、下部電極の形状が複雑に形成する必要があると共に、当該下部電極を形成するための溝の深さや、誘電体層を堆積する厚さに比較的高い精度が要求され、製造工程の複雑化を招いてしまうことが考えられる。

【0007】

MIM容量素子を有する半導体装置において、MIM容量素子を容易な工程により形成すると共に、当該MIM容量素子の上部電極および下部電極へのコンタクトを容易な工程で形成することは、半導体装置の製造工程の簡略化を図る上で重要な課題である。

【0008】

本発明は、MIM容量素子を容易な工程で形成可能であり、且つ、当該MIM容量素子の上部電極および下部電極へのコンタクト形成を容易に行うことが可能な半導体装置の製造方法を提供することを目的とする。

【0009】

【課題を解決するための手段】

本発明に係る半導体装置の製造方法は、(a)半導体基板上にアルミニウム膜、反射防止膜を順次堆積してパターンニングすることで、上面に前記反射防止膜を有する下部電極を形成する工程と、(b)前記下部電極上に層間絶縁膜を形成し、前記層間絶縁膜の前記下部電極上における容量素子形成領域およびコンタクト形成領域のそれぞれに第1および第2の開口を形成する工程と、(c)前記第2の開口内の前記反射防止膜を除去する工程と、(d)前記第1および第2の開口を有する前記層間絶縁膜上に所定の第1の金属膜を堆積し、前記第1および第2の開口内以外の前記第1の金属膜を除去することで、前記第1の開口内に前記容量素子の上部電極を、前記第2の開口内にコンタクトを、それぞれ形成する工程とを備える。

【0010】

【発明の実施の形態】

図1は、本発明の実施の形態に係る半導体装置の構造を示す図である。半導体基板上に形成された第1の層間絶縁膜1の上にはバリアメタル2および第1のアルミ配線3が形成される。この第1のアルミ配線3はMIM容量素子の下部電極として機能する。第1のアルミ配線3の上の反射防止膜4は、第1のアルミ配線3のパターンニングの際の露光工程における寸法変動やハレーションを防止する目的で使用されたものである。一般に、配線材料がアルミである場合、そのパタ

ーンニングの際には多層の反射防止膜が使用される。本実施の形態においては、反射防止膜 4 は、導電体の窒化チタン (TiN) 層 4 1 と誘電体のシリコン酸窒化膜 (SiON) 層 4 2 とから形成される。

【0011】

第 2 の層間絶縁膜 5 内には、第 1 のアルミ配線 3 に電氣的に接続するコンタクトプラグ 8 2 が形成されると共に、第 1 のアルミ配線 3 の上方に反射防止膜 4 を介して上部電極 8 1 が形成される。即ち、反射防止膜 4 の SiON 層は、当該 MIM 容量素子の誘電体層として機能している。

【0012】

第 2 の層間絶縁膜 5 上には、バリアメタル 9 を有する第 2 のアルミ配線 1 0 が形成されている。第 2 のアルミ配線 1 0 は、上部電極 8 1 およびコンタクトプラグ 8 2 の個々に接続している（即ち図 1 の如く、第 2 のアルミ配線 1 0 には、上部電極 8 1 に接続した部分と、コンタクトプラグ 8 2 に接続した部分とが含まれている）。

【0013】

以下、本実施の形態に係る半導体装置の製造方法を説明する。まず、第 1 の層間絶縁膜 1 上にバリアメタル 2 を堆積した後、第 1 のアルミ配線 3 を形成するためのアルミニウム膜を堆積する。そして、アルミニウム膜上に TiN 層 4 1 と誘電体層としての SiON 層 4 2 とから成る反射防止膜 4 を堆積した後、フォトリソグラフィ技術を用いて、当該反射防止膜 4、アルミニウム膜並びにバリアメタル 2 をパターンニングして、上面に反射防止膜 4 を有する第 1 のアルミ配線 3 を形成する。このときの露光工程において、反射防止膜 4 は、第 1 のアルミ配線 3 の寸法変動やハレーションを防止するように機能する。このとき、当該パターンニングにより形成された第 1 のアルミ配線 3 上の反射防止膜 4 は除去しないでおく。

【0014】

続いて、反射防止膜 4 上に第 2 の層間絶縁膜 5 を形成する。そして図 2 の如く、第 2 の層間絶縁膜 5 の MIM 容量素子を形成する領域（上部電極 8 1 を形成する領域）並びに、コンタクトプラグ 8 2 を形成する領域にそれぞれ開口 5 1、開

口52を開口する。このとき、開口51および開口52内に露出する反射防止膜4 (SiON層42) は除去しない。

【0015】

その後図3のように、第2の層間絶縁膜5上に、開口52の上方（コンタクトプラグ82を形成する領域の上方）を開口したフォトレジスト6を形成する。そして、フォトレジスト6をマスクとして反射防止膜4を除去する。即ち、開口51内の反射防止膜4は残存させたままで、開口52内の反射防止膜4が除去される。

【0016】

フォトレジスト6を除去した後、図4のように、第2の層間絶縁膜5上にバリアメタル7を堆積し、次いで、上部電極81並びにコンタクトプラグ82を形成するためのタングステン膜8を堆積する。そして、開口51および開口52の中以外のタングステン膜8を除去することで、開口51内に上部電極81が形成されると共に、開口52内にコンタクトプラグ82が形成される。次いで、バリアメタル9並びにアルミニウム膜を堆積しパターンニングすることで、上部電極81およびコンタクトプラグ82の個々に接続する第2のアルミ配線10を形成する。その結果、上記図1に示した半導体装置の構造が得られる。

【0017】

以上の説明から分かるように、下部電極である第1のアルミ配線3に電氣的に接続するコンタクトプラグ82は、上部電極81と同一の工程で並行して形成される。また図1に示すように、上部電極81の上面とコンタクトプラグ82の上面の高さは同じになるので、上部電極81並びに下部電極（第1のアルミ配線3）と第2のアルミ配線10との電氣的コンタクトを容易にとることが可能である。つまり、従来のMIM容量素子のような、上部電極と下部電極との間で高さの違いに起因してコンタクトの形成が困難になるという問題は回避される。また、第1のアルミ配線3の形成の際に使用される反射防止膜をMIM容量素子の誘電体層として利用するため、製造工程の簡略化に寄与できる。

【0018】

【発明の効果】

以上説明したように、本発明によれば、MIM容量素子を容易な工程で形成可能であり、且つ、当該MIM容量素子の上部電極および下部電極へのコンタクト形成を容易に行うことが可能であるという効果がある。

【図面の簡単な説明】

【図 1】 実施の形態に係る半導体装置の構造を示す図である。

【図 2】 実施の形態に係る半導体装置の製造工程を示す図である。

【図 3】 実施の形態に係る半導体装置の製造工程を示す図である。

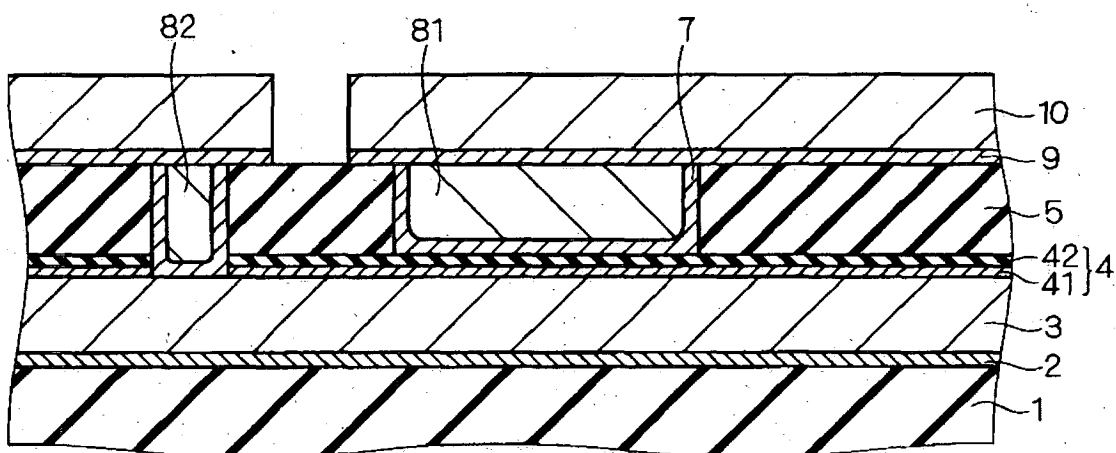
【図 4】 実施の形態に係る半導体装置の製造工程を示す図である。

【符号の説明】

1 第1の層間絶縁膜、2, 7, 9 バリアメタル、3 第1のアルミ配線、
4 反射防止膜、41 TiN層、42 SiON層、5 第2の層間絶縁膜、
51, 52 開口、6 フォトリジスト、8 タングステン膜、81 上部電極
、82 コンタクトプラグ、9 バリアメタル、10 第2のアルミ配線。

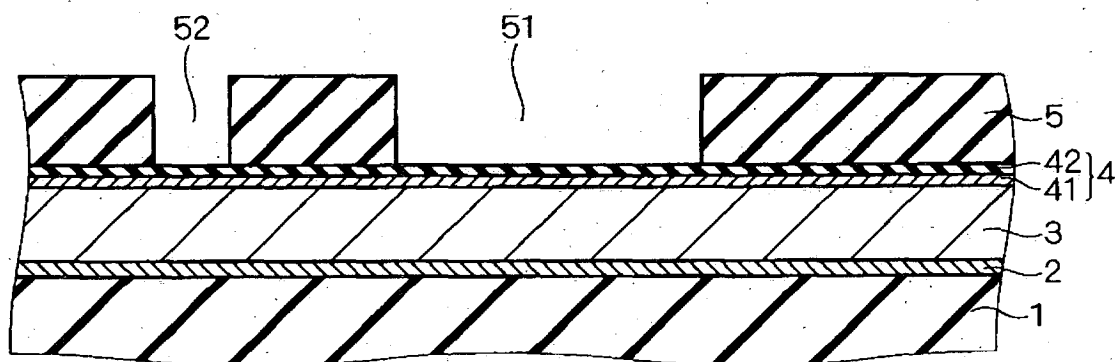
【書類名】 図面

【図1】



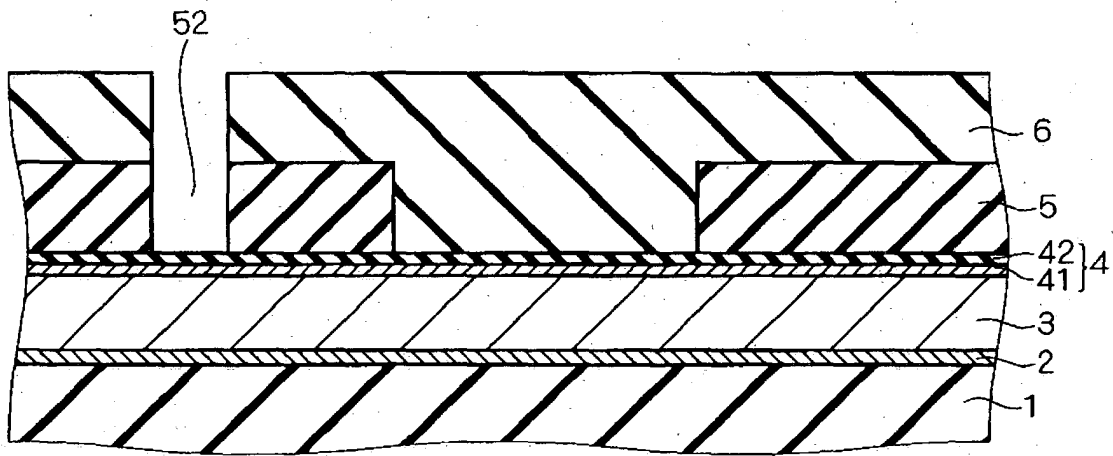
- | | |
|------------------|---------------|
| 1 : 第1の層間絶縁膜 | 10 : 第2のアルミ配線 |
| 2, 7, 9 : バリアメタル | 41 : TiN層 |
| 3 : 第1のアルミ配線 | 42 : SiON層 |
| 4 : 反射防止膜 | 81 : 上部電極 |
| 5 : 第2の層間絶縁膜 | 82 : コンタクトプラグ |

【図2】



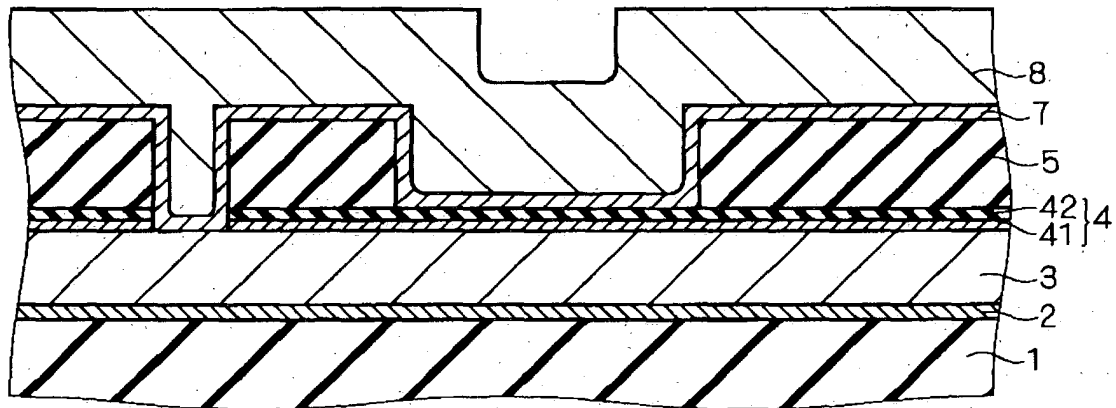
51, 52 : 開口

【図3】



6 : フォトリジスト

【図4】



8 : タングステン膜

【書類名】 要約書

【要約】

【課題】 MIM容量素子を容易な工程で形成し、且つ、当該MIM容量素子の上部電極および下部電極へのコンタクト形成を容易に行う。

【解決手段】 MIM容量素子の下部電極として機能する第1のアルミ配線3の形成の際には、TiN層41、SiON層42から成る二層構造の反射防止膜4が使用される。反射防止膜4のSiON層42は、そのままMIM素子の誘電体層として利用される。また、上部電極81とコンタクトプラグ82は同一の工程により形成される。上部電極81とコンタクトプラグ82の上面の高さは同じであるので、MIM容量素子の上部電極81および下部電極（第1のアルミ配線3）と第2のアルミ配線10との電氣的コンタクトを容易にとることが可能である。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社